

(12)特許協力条約に基づいて公開された国際出願

(19)世界知的所有権機関
国際事務局(43)国際公開日
2004年10月7日 (07.10.2004)

PCT

(10)国際公開番号
WO 2004/086511 A1

(51)国際特許分類7: H01L 29/78, 21/336

(21)国際出願番号: PCT/JP2004/004060

(22)国際出願日: 2004年3月24日 (24.03.2004)

(25)国際出願の言語: 日本語

(26)国際公開の言語: 日本語

(30)優先権データ:
特願2003-083687 2003年3月25日 (25.03.2003) JP

(71)出願人(米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町21 Kyoto (JP). 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号 Tokyo (JP). 株式会社堀場製作所 (HORIBA, LTD.) [JP/JP]; 〒6018510 京都府京都市南区吉祥院宮の東町2番地 Kyoto (JP). 独立行政法人産業技術総合研究所 (NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL SCIENCE AND TECHNOLOGY) [JP/JP]; 〒1008921 東京都千代田区霞が関1丁目3番1号 Tokyo (JP).

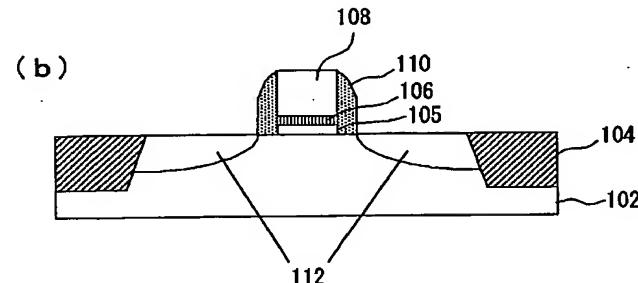
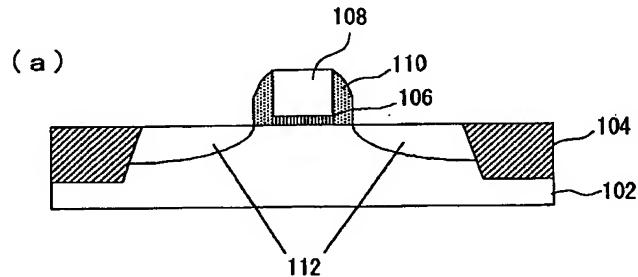
(72)発明者: および

(75)発明者/出願人(米国についてのみ): 岩本邦彦 (IWAMOTO, Kunihiko) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町21 ローム株式会社内 Kyoto (JP). 生田目俊秀 (NABATAME, Toshihide) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内 Tokyo (JP). 富永浩二 (TOMINAGA, Koji) [JP/JP]; 〒6018510 京都府京都市南区吉祥院宮の東町2番地 株式会社堀場製作所内 Kyoto (JP). 安田哲二 (YASUDA, Tetsuji) [JP/JP]; 〒3058562 茨城県つくば市東1丁目1番1中央第4独立行政法人産業技術総合研究所内 Ibaraki (JP).

[続葉有]

(54)Title: SEMICONDUCTOR DEVICE, PROCESS FOR PRODUCING THE SAME AND PROCESS FOR PRODUCING METAL COMPOUND THIN FILM

(54)発明の名称: 半導体装置およびその製造方法、ならびに金属化合物薄膜の製造方法



(57)Abstract: High-dielectric gate insulating film (106) structured so as to comprise silicon substrate (102) and, sequentially superimposed thereon, a layer of high nitrogen concentration, a layer of low nitrogen concentration and a layer of high nitrogen concentration.

(57)要約: 高誘電体ゲート絶縁膜(106)を、シリコン基板(102)側から、窒素高濃度層、窒素低濃度層および窒素高濃度層がこの順で積層した構造とする。

WO 2004/086511 A1



(74) 代理人: 森下 賢樹 (MORISHITA, Sakaki); 〒1500021
東京都渋谷区恵比寿西2-11-12 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイドスノート」を参照。

明細書

半導体装置およびその製造方法、ならびに金属化合物薄膜の製造方法

5 技術分野

本発明は、金属窒化物または金属酸窒化物を含むゲート絶縁膜を備える半導体装置およびその製造方法、ならびに、原子層堆積法を用いた含窒素金属化合物層を含む金属化合物薄膜の製造方法に関する。

10 背景技術

従来、MOSFETのゲート絶縁膜として、リーク電流特性が良好で界面準位密度の低いシリコン酸化膜が使用されてきた。ところが、シリコン酸化膜をゲート絶縁膜とするトランジスタでは、素子サイズの微細化にともないゲート絶縁膜の厚みが薄くなるとトンネル電流によるゲートリーク電流が増大する。ゲートリーク電流が増大すると、ゲートオフ時において実質的なリーク電流が生じ、半導体装置の回路が正常に動作しない、あるいは消費電力が増加する等の問題が生じてしまう。こうした問題を解消するため、近年、ゲート絶縁膜の材料として高い誘電率を有する金属酸化物などの高誘電体膜を使用することが検討されている。

しかしながら、高誘電体である金属酸化膜は多結晶粒子の集合体からなり、粒界を経由して不純物や金属の移動が起こりやすい。このため、ゲート電極にドープした不純物や金属原子が高誘電体ゲート絶縁膜を突き抜けてチャネル領域に到達し、素子の信頼性を損なうことがあった。

また、従来の高誘電体ゲート絶縁膜では、その成膜プロセス上の問題により、良好な膜質を安定的に得ることが困難であった。現在、トランジスタの高誘電体ゲート絶縁膜の成膜方法としては、ALD (A t o m i c L a y e r D e p o s i t i o n) 法が有力視されている。ところが、ALD法に利用される原料自体が不純物として高誘電体ゲート絶縁膜中に残留し、ま

た、膜の欠陥を誘起することがあった。また、高誘電体ゲート絶縁膜を構成する膜の化学量論比が設計値からずれ、所望の膜特性が得られない場合があった。こうした現象について図1を参照して説明する。図1は、ALD法により高誘電体ゲート絶縁膜を形成したときの層構造の模式図である。図1
5 (a) および図1 (b) は、それぞれ、熱アニールによる膜質改善処理の前後の状態に対応する。熱アニール前は、図1 (a) に示すように、高誘電体ゲート絶縁膜中に不純物がくまなく分布している。アニール後、膜全体から不純物が除去されるとともに、膜を緻密化することができる。しかしながら、
10 高誘電体ゲート絶縁膜の下部、特に基板近傍の領域においては不純物が充分に除去されず残存しがちとなる。また、金属酸化物は一般に結晶化しやすく、
15 アニール後の図1 (b) の状態では、膜の一部で結晶化が起こる。こうした不純物の残存や膜の結晶化は、高誘電体ゲート絶縁膜を含む素子の特性の劣化をもたらす原因となり得る。たとえば漏れ電流の増大、閾値特性のばらつき等を生む原因となる。

特許文献1には、MIS型トランジスタの高誘電体ゲート酸化膜に窒素を導入する構成が記載されている。具体的には、高誘電体ゲート酸化膜形成後、この膜をアンモニア雰囲気下で加熱し膜上部に拡散バリア層を形成する方法が記載されている。また、高誘電体ゲート酸化膜上部にシリコン窒化膜を形成した後、熱処理することにより高誘電体ゲート酸化膜とシリコン窒化膜の界面に窒素を偏析させる方法が記載されている(段落0043、0046)。
20 こうした方法を採用することにより、ゲート電極からの不純物や金属原子の拡散を防ぐことができるとされている。

しかしながら、同文献記載の方法は窒素を膜上部に偏在させるものであり、高誘電体ゲート絶縁膜全体にわたって所望の分布で窒素を導入する方法について有効な知見を与えるものではなく、不純物や金属の突き抜けを抑制する効果にも一定の限界があった。また、図1を参照して説明した、高誘電体ゲート絶縁膜の結晶化や不純物の残存によるトランジスタの性能劣化についての問題については何ら解決策を示すものではなかった。

特許文献 1 特開 2002-299607 号公報

発明の開示

本発明は上記事情に鑑みなされたものであって、その目的とするところは、
5 高い誘電率を有し、不純物や金属の拡散の起こりにくい信頼性の高いゲート
絶縁膜を備えた半導体装置を提供することにある。また本発明の別の目的は、
こうした半導体装置に好適に用いることのできる窒素含有金属化合物薄膜を
安定的に製造する方法を提供することにある。

本発明に係る第一の半導体装置は、半導体基板と、該半導体基板上に形成
10 されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極と、を備
え、前記ゲート絶縁膜は、層中に窒素原子が熱拡散してなる複数の含窒素金
属化合物層を含む積層膜であることを特徴とする。

本発明に係る第二の半導体装置は、半導体基板と、該半導体基板上に形成
15 されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極と、を備
え、前記ゲート絶縁膜は、下記一般式



($1 \geq p \geq 0$ 、 $1 > q \geq 0$ であり、MおよびM'は、いずれも、Hf、Zr、
La、Al、SiおよびYの群から選択される元素を示す。)

により表される、窒素組成 ($1 - q$) の異なる複数の含窒素金属化合物層を
20 含む積層膜であることを特徴とする。

本発明に係る第三の半導体装置は、半導体基板と、該半導体基板上に形成
されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極と、を備
え、前記ゲート絶縁膜は、化学式 $M^1 O_x N_{1-x}$ で表される金属化合物を含む
25 第一の金属化合物層と、該第一の金属化合物層の上部に形成され、化学式 M^2
 $O_y N_{1-y}$ で表される金属化合物を含む第二の金属化合物層と、該第二の金属
化合物層の上部に形成され、化学式 $M^3 O_z N_{1-z}$ で表される金属化合物を含
む第三の金属化合物層と、を含む積層膜 (但し $1 \geq y > x \geq 0$ 、 $1 \geq y > z$
 ≥ 0 であり、M¹、M²およびM³は、いずれも独立に、Hf、Zr、La、A

1、S i およびYの群から選択される元素を示す。)であることを特徴とする。

本発明に係る第四の半導体装置は、半導体基板と、該半導体基板上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極と、を備え、前記ゲート絶縁膜は、

5 $M_r M'_{1-r} O_u N_{1-u}$ 、および、

$M_s M'_{1-s} O_v N_{1-v}$

(但し、 $1 > r > 0$ 、 $1 > s > 0$ 、 $1 \geq u \geq 0$ および $1 \geq v \geq 0$ であり、 u と v は異なる値である。 M および M' はそれぞれ異なる元素であって、いずれも、H f、Z r、L a、A 1、S i およびYの群から選択される元素を示す。)

が積層した積層膜を含むことを特徴とする半導体装置が提供される。

本発明に係る金属化合物薄膜の製造方法は、基材上に、原子層堆積法により第一の金属化合物層を形成する工程と、前記第一の金属化合物層に対して、窒素化合物ガスを含む雰囲気中でアニール処理を行い、第一の金属化合物層中に窒素を拡散させる工程と、原子層堆積法により前記第一の金属化合物層上に第二の金属化合物層を形成する工程と、を含むことを特徴とする。

本発明に係る半導体装置の製造方法は、半導体基板上に、金属化合物薄膜からなるゲート絶縁膜と導電膜とをこの順で形成する工程と、前記ゲート絶縁膜および前記導電膜を選択的に除去してゲート電極を形成する工程とを含む半導体装置の製造方法であって、前記金属化合物薄膜からなるゲート絶縁膜を、上記金属化合物薄膜の製造方法により形成することを特徴とする。

本発明に係る第一の半導体装置において、ゲート絶縁膜は、層中に窒素原子が熱拡散してなる複数の含窒素金属化合物層を含む。金属酸化物層は、一般に、絶縁性が高い反面、結晶化しやすく漏れ電流が流れやすいという性質がある。これに対して窒素を導入すると、結晶温度が高くなつて膜質が改善し、漏れ電流が流れにくくなる。層中に窒素を導入する技術として、成膜ガスにアンモニアのような窒素含有ガスを用い金属窒化物層を形成する技術がすでに知られている。しかし、この方法は、金属酸化物の層を改質するもの

ではなく、金属酸化物の層中に金属窒化物の層が介在した構造を実現するにすぎない。こうした層構造を半導体装置等の電子素子に応用した場合、金属酸化層の部分で漏れ電流が発生する場合がある。これに対し本発明の方法では、金属酸化物の層中に窒素が侵入し拡散することで、結晶化しやすい金属酸化物の層が結晶化しにくい性状に改質される。この結果、トランジスタ等の電子素子に応用した場合に漏れ電流の少ない薄膜構造を実現することができる。

本発明に係る第二、第三および第四の半導体装置は、窒素低濃度層および窒素高濃度層を含むゲート絶縁膜を有している。窒素低濃度層は、比較的誘電率が高く、物理膜厚をかせぐことに寄与する一方、酸化層に近い組成を有することから、層中を不純物や金属元素が拡散しやすいという問題がある。そこで本発明では、たとえば、窒素低濃度層の上下に窒素高濃度層が設けられた構成を採用する。これらの層は、窒素が高濃度に導入されているため、結晶温度が高く非晶質に近い形態を有する。このため、不純物や金属の拡散防止層として機能する。この結果、本発明によれば、高い誘電率を有しつつ不純物や金属元素の拡散、突き抜けを抑制するゲート絶縁膜を実現し、漏れ電流の少ない信頼性の高い半導体装置を実現することができる。

上記第三の半導体装置において、前記第一の金属化合物層中の窒素濃度の最大値を C_1 、前記第二の金属化合物層中の窒素濃度の最小値を C_2 、前記第三の金属化合物層中の窒素濃度の最大値を C_3 としたときに、

$$C_1/C_2 \geq 2, \text{ または } C_3/C_2 \geq 2,$$

$$\text{好ましくは, } C_1/C_2 \geq 10, \text{ または } C_3/C_2 \geq 10,$$

を満たす構成とすることができます。また、前記第一の金属化合物層中の窒素濃度の最大値を C_1 、前記第三の金属化合物層中の窒素濃度の最大値を C_3 としたときに、 C_1 および C_3 が、いずれも $3 \times 10^{20} \text{ atom/cm}^3$ 以上であるとすることが好ましい。こうすることによって、高い誘電率を有し、不純物や金属の拡散の起こりにくい信頼性の高いゲート絶縁膜を備えた半導体装置を実現できる。

上述した本発明の半導体装置において、ゲート絶縁膜の最下層に金属拡散防止膜を設けることもできる。こうすることにより、金属化合物薄膜から半導体基板への金属や不純物の拡散をより一層確実に抑制することができる。

本発明の半導体装置において、ゲート絶縁膜中の窒素含有層は、金属酸化

5 物層または金属酸窒化物層中に窒素が拡散してなる層とすることができる。

すなわち、窒素化合物ガスを含む雰囲気中でアニール処理を行い、これより金属化合物層中に窒素を拡散させる構成とすることができる。前述したように、金属酸化物の層中に窒素が侵入し拡散することで、結晶化しやすい金属酸化物の層が結晶化しにくい性状に改質され、この結果、トランジスタ等の
10 電子素子に応用した場合に漏れ電流の少ない薄膜構造を実現することができる。

本発明の半導体装置において、ゲート絶縁膜を構成する各金属化合物層の厚みは、特に制限がないが、たとえば0.2 nm以上5 nm以下とすること
ができる。こうすることによって、素子の微細化を図ることができる。こう

15 した層厚とした場合、金属化合物薄膜中の窒素濃度プロファイルの制御を高
度に行なうことが重要となるが、そのような高度なプロファイル制御を実現す
るには、反応室内で成膜と不純物ガス導入およびアニールを行うことのでき
る装置を利用することが必要となる。また、層形成後に急速に基材を加熱す
るとともに、アニール後、速やかに基材を冷却できる構造の装置が必要とな
る。ところが従来の成膜装置では、その構造上、こうしたプロセスを行なうこ
とはきわめて困難であった。そこで本発明者らは、後述するようにアニール
と成膜の両方を行うことのできる新規な装置を開発し、これを用いることによ
って窒素濃度プロファイルの制御を高度に行なうこと可能とし、本発明に
到達したものである。

20 25 以上説明したように本発明によれば、高い誘電率を有し、不純物や金属の
拡散の起こりにくい信頼性の高いゲート絶縁膜を備えたトランジスタを実現
できる。

また、本発明によれば、こうしたトランジスタ等に好適に用いることので

きる金属化合物薄膜を安定的に製造することができる。

図面の簡単な説明

上述した目的、およびその他の目的、特徴および利点は、以下に述べる好
5 適な実施の形態、およびそれに付随する以下の図面によってさらに明らかに
なる。

図1は、ALD法により高誘電体ゲート絶縁膜を形成したときの層構造の
模式図である。

図2は、実施の形態で示したMIS型トランジスタの構造を示す図である。

10 図3は、図2(a)に示すトランジスタの製造工程を示す図である。

図4は、高誘電体ゲート絶縁膜の成膜プロセスにおけるガスの供給および
温度プロファイルの一例を示す図である。

図5は、図3(b)におけるALOの成膜工程の過程を模式的に示した図
である。

15 図6は、高誘電体絶縁膜を形成するための成膜装置の概略構造を示す図で
ある。

図7は、高誘電体絶縁膜を形成するための成膜装置の概略構造を示す図で
ある。

図8は、高誘電体ゲート絶縁膜の成膜プロセスにおけるガスの供給および
20 温度プロファイルの一例を示す図である。

図9は、高誘電体ゲート絶縁膜の成膜プロセスにおけるガスの供給および
温度プロファイルの一例を示す図である。

図10は、高誘電体ゲート絶縁膜の構造の一例を示す図である。

図11は、実施例で作製したALOおよびALONからなる積層膜の窒素
25 濃度プロファイルを測定した結果を示す図である。

発明を実施するための最良の形態

(第一の実施形態)

本実施形態に係るM I S型トランジスタは、膜中に窒素濃度分布を有するゲート絶縁膜を備える。金属酸化膜に窒素を導入した場合、結晶温度が高くなつて膜質が改善するとともに熱的および化学的安定性が向上する一方、電子に対するバリア障壁が低くなり、また、電子がトラップされやすくなる。
したがつて、ゲート絶縁膜中に窒素導入領域を設けるにあたつては、その位置を最適に制御し、トランジスタ性能が最も良好となるように設計することが重要となる。本実施形態では、こうした構造のトランジスタを開示する。

本実施形態に係るトランジスタの概略構造を図2に示す。図2(a)に示すトランジスタは、シリコン基板102表面の素子分離膜104によって分離された素子領域に形成されている。シリコン基板102表面に高誘電体ゲート絶縁膜106を介してゲート電極108が形成され、その側壁にサイドウォール110が形成されている。ゲート電極108の両脇に位置するシリコン基板102表面近傍に不純物拡散層112が形成されている。

高誘電体ゲート絶縁膜106は、シリコン基板102側から順に以下の(i)～(iii)が積層した層構造を有する。

- (i) 化学式 $M^1N_{1-x}O_x$ で表される金属化合物を含む第一の金属化合物層
- (ii) 化学式 $M^2N_{1-y}O_y$ で表される金属化合物を含む第二の金属化合物層
- (iii) 化学式 $M^3N_{1-z}O_z$ で表される金属化合物を含む第三の金属化合物層

M^1 、 M^2 および M^3 は、いずれも金属元素を示し、Hf、Zr、La、Al、SiおよびYの群から選択される元素とする。

x 、 y 、 z は、 $1 \geq y > x \geq 0$ 、 $1 \geq y > z \geq 0$ を満たす。 x 、 y 、 z が、それぞれ以下の範囲内にあることが望ましい。

$$0.7 \leq x \leq 0.95$$

$$0.9 \leq y \leq 1$$

$$0.7 \leq z \leq 0.95$$

こうすることにより、より一層、誘電率の向上、酸素や金属元素の拡散の抑制ならびに漏れ電流の低減を図ることができる。

すなわち、(i)の第一の金属化合物層、および(iii)の第三の金属化合物層は、(ii)の第二の金属化合物層に比べて窒素濃度の高い層となっており、シリコン基板102側から上方に向かうにつれ、窒素高濃度層、窒素低濃度層、窒素高濃度層がこの順で積層した構造となっている。たとえば窒素高濃度層は、後述するように、ALDにより酸化膜を成膜した後、アニール工程で膜中に窒素を導入して形成される。

酸化膜中に窒素が導入されると、結晶温度が高くなり、膜質が向上する。すなわち、窒素高濃度層は、それ自体良好な膜質を示す。

また窒素高濃度層は、金属酸化膜中の金属元素や酸素の拡散を遮断する役割を果たす。高誘電体ゲート絶縁膜106の層構造は、上部および下部に窒素高濃度層が設けられているため、こうした物質が高誘電体ゲート絶縁膜106の外部に拡散することを効果的に抑制することができる。

また窒素高濃度層は、熱的および化学的に安定であり、シリコンやシリコン酸化膜と反応して合金を形成しにくい。一般に、高誘電率膜からなるゲート絶縁膜を設けた場合、シリコン基板との界面において、高誘電率膜とシリコンとの反応によりシリサイドやシリケートの薄膜が生成し、これが誘電率の低下、ひいては換算膜厚の増大をもたらす原因となる。本実施形態によれば、反応性に乏しい窒素高濃度層をシリコン基板102側に配置しているため、こうした問題を解決することができる。

さらに本実施形態における高誘電体ゲート絶縁膜106は、中央部に窒素低濃度層を有する。窒素低濃度層は窒素高濃度層よりもバリア障壁が高いため、漏れ電流低減に寄与する。

以上のように本実施形態における高誘電体ゲート絶縁膜106は、窒素高濃度層および窒素低濃度層の持つ特性をそれぞれいかすことにより、高誘電体ゲート絶縁膜106を構成する元素の拡散を抑制し、隣接するシリコン基板との反応を抑えるとともに、漏れ電流を低減する構造を実現している。

図2(b)は、シリコン基板102と高誘電体ゲート絶縁膜106との間に金属拡散防止膜105を設けた点で図2(a)に示すトランジスタの構造

と異なる。このような構造とすることにより、高誘電体ゲート絶縁膜 106 の膜質を向上させ、また、シリコン基板 102 と高誘電体ゲート絶縁膜 106 との反応により、両者の界面にシリサイドやシリケートの薄膜が生成することを、より一層確実に抑制することができる。金属拡散防止膜 105 としては、金属窒化膜を用いることができ、具体的には、窒化アルミニウム膜、酸窒化アルミニウム膜 (AlON)、シリコン窒化膜等が挙げられる。

図 3 は、図 2 (a) に示すトランジスタの製造工程を示す図である。まず図 3 (a) に示すように、シリコン基板 102 中に公知の方法により STI (Shallow Trench Isolation) 構造の素子分離膜 104 を設ける。次いで基板全面に高誘電体ゲート絶縁膜 106 を形成する。高誘電体ゲート絶縁膜 106 は前述した層構造を有し、ALD 法により形成される。高誘電体ゲート絶縁膜 106 の成膜方法の詳細については後述する。

その後、高誘電体ゲート絶縁膜 106 上にゲート電極 108 を成膜し (図 3 (c))、ゲート電極 108 および高誘電体ゲート絶縁膜 106 を選択的に除去し、次いでこれらの側壁に、CVD 法によりサイドウォール 110 を形成する。以上によりゲート電極を形成する (図 3 (d))。つづいてゲート電極の両脇のシリコン基板 102 表面近傍に不純物を注入して不純物拡散層 112 を形成する (図 3 (e))。以上の工程により MIS 型トランジスタを作製することができる。

次に、上記工程における高誘電体ゲート絶縁膜 106 の成膜方法について説明する。ここでは、ALD 法を用いてシリコン基板上に AlON、AlO および AlON をこの順で積層する例について説明する。

成膜プロセスにおけるガスの供給および温度プロファイルは、図 4 のようになる。図 4 (a) は AlO を成膜する際のガスの導入および温度プロファイルのシーケンスを示す。図 4 (b) は、AlON を成膜する際のシーケンスである。本実施形態における高誘電体ゲート絶縁膜 106 の成膜にあたっては、これらのシーケンスを適宜組み合わせて成膜を行う。図 4 (a) では、はじめに原料ガスであるトリメチルアンモニウム (TMA) を導入し、

アルミニウム原子層を形成する。つづいてバージガスを用いて反応チャンバ内をバージした後、反応性ガスとしてH₂Oガスを導入し、酸素原子層を形成する。アルミニウム原子層および酸素原子層の形成時の温度は、いずれも150℃～450℃程度とする。次に不純物除去および膜の緻密化のための熱5 アニール処理を行う。アニール時の温度及び時間は、たとえば、600℃～1050℃、1秒～600秒とする。なお、アニール時の昇温レートは100℃/sec以上とする。

図4 (b) では、図4 (a) と同様にしてアルミニウム原子層および酸素原子層を形成した後、アニール時にアンモニアを流し、AlO中に窒素を導10 入する。アニール時の温度及び時間は、図4 (a) と同様、たとえば、600℃～1050℃、1秒～600秒とする。なお、アニール時の昇温レートは100℃/sec以上とする。

以上述べたシーケンスを、図4 (b)、図4 (a)、図4 (b) の順に実行することにより、AlON、AlO、AlONがこの順で積層した金属化15 合物薄膜を形成することができる。

上記方法によれば、アニール条件の調整等により窒素の導入量を高度に制御することができる。また、高誘電体ゲート絶縁膜中に所望の窒素濃度分布を安定的に形成することができる。

図5は、図3 (b) の工程中、AlOの成膜工程（図5 (a) に対応）の20 過程を模式的に示した図である。図5 (a) は、基板上に金属原子層、酸素原子層をそれぞれ堆積した状態を示す。これらの層中には不純物が含まれている。次いで熱アニールを行うと、図5 (b) のように膜中から不純物が除去されるとともに膜が緻密化される。図5 (c) および図5 (d) は、上記25 した手順を繰り返し行った段階の層構造を示す。熱アニールにより、図5 (d) に示すように、不純物を減少させることができる。また、アニール工程で、アンモニアガス等の窒素含有化合物ガスを流せば、不純物が除去されるとともに層中に窒素を導入することができる。

以上述べた高誘電体ゲート絶縁膜106の成膜プロセスを実現するには、

成膜室から基板を取り出すことなく迅速にウエハ温度を上昇させアニールを行うとともに、次の成膜ステップに支障のないようにウエハ温度を急激に低下させることが重要となる。こうしたことは、従来の成膜装置では実現することが困難であった。そこで本発明者らは、成膜とアニールの両方を行うことのできる新規な装置を開発し、上記プロセスを実現可能とした。以下、この新規な成膜装置の概要について説明する。

図6は、上記プロセスを実現する成膜装置の一例である。図示した成膜装置200では、Siウエハ206がヒーター208上に載置されている。ヒーター208は、支持部214によって支持されている。装置内にはアニールガス、反応性ガス(H₂O)、high-k原料となるガスおよびバージガスの導入口が設けられている。装置の右側面には成膜室内のガスを排気する排気口が設けられている。

ランプ加熱源202は、石英窓204の上部に設けられている。Siウエハ206は、ヒーター208により成膜時の所定の温度に維持されるとともに、ランプ加熱源202により、急速に加熱される。すなわち、ヒーター208は成膜温度に維持するための熱源であり、ランプ加熱源202は、アニール温度に到達させるための熱源である。

この装置によれば、バージガスの流量に対する成膜室容積の比を小さくしているため、成膜室内が大流量の冷却用バージガスにより短時間で置換される。これにより、急激な温度低下が可能となる。また、ランプ加熱源が成膜装置200に取り付けられているため、ランプアニールによる急速な温度上昇が可能となる。

図7は、他の装置の例である。この装置では、Siウエハ206が移動機構212上に載置され、その位置を高さ方向に動かすことができるようになっている。急速加熱をする場合はSiウエハ206を上部に移動させ、ランプ加熱源202に近づける。一方、急速冷却を行う場合は、逆にSiウエハ206を下部に移動させ、ランプ加熱源202から遠ざけるとともに大量のバージガスにより室内を冷却する。ヒーター208、支持部214およびガ

ス供給路の構造は、図2に示したものと同様である。

図7記載の装置は、ランプ加熱源202とSiウェハ206との距離を調整可能に構成されているので、より一層、急速加熱、急速冷却に適した構造となっている。

5

(第二の実施の形態)

本実施形態は、図2(a)に示すトランジスタにおいて、高誘電体ゲート絶縁膜106を、AlON、HfO₂およびAlNがこの順で積層した構造としている。成膜は、図7に示した装置を用いる。Alの原料ガスとしてトリメチルアンモニウムを用いる。Hfの原料ガスとしては、塩化ハフニウム(HfCl₄)、Hf(NO₃)₄等の原料ガスを用いることができるが、本実施形態では、塩化ハフニウム(HfCl₄)を用いる。

図8は、上記構造の高誘電体ゲート絶縁膜106を成膜する際のガスの導入および温度プロファイルのシークエンスを示す。はじめに原料ガスであるトリメチルアンモニウム(TMA)を導入し、アルミニウム原子層を形成する。つづいてバージガスを用いて反応チャンバ内をバージした後、反応性ガスとしてH₂Oガスを導入し、酸素原子層を形成する。アルミニウム原子層および酸素原子層の形成時の温度は、いずれも150°C~450°C程度とする。次にアンモニアを流しながら熱アニール処理を行う。アニール時の温度及び時間は、たとえば、600°C~1050°C、1秒~600秒とする。なお、アニール時の昇温レートは100°C/sec以上とする。以上により、AlONを成膜する。

次に、塩化ハフニウム(HfCl₄)、H₂Oの順にガスを導入するステップを繰り返し、HfO₂を成膜する。

その後、TMA、NH₃の順にガスを導入するステップを繰り返し、AlNを成膜する。

以上により、AlON、HfO₂およびAlNがこの順で積層した、窒素組成の異なる複数の含窒素金属化合物層を含む積層構造が形成される。この方

法によれば、アニール条件の調整等により、AlON中の窒素の導入量を高度に制御することができる。

本実施形態では、2種類の異なる金属を用いて高誘電体ゲート絶縁膜106を構成している。また、高誘電体ゲート絶縁膜106中の窒素濃度を、基板側から高、低、高という分布にしている。このため、高誘電体ゲート絶縁膜106を構成する元素の拡散を抑制し隣接するシリコン基板との反応を抑えるとともに、漏れ電流を効果的に低減することができる。

(第三の実施の形態)

本実施形態は、図2(a)に示すトランジスタにおいて、高誘電体ゲート絶縁膜106を、AlON、HfAlONおよびAlNがこの順で積層した構造としている。成膜は、図7記載の装置を用いる。Alの原料ガスはトリメチルアンモニウムを用いる。Hfの原料ガスとしては、塩化ハフニウム(HfCl₄)、Hf(NO₃)₄等の原料ガスを用いることができるが、本実施形態では、塩化ハフニウム(HfCl₄)を用いる。

図9は、上記構造の高誘電体ゲート絶縁膜106を成膜する際のガスの導入および温度プロファイルのシーケンスを示す。はじめに原料ガスであるトリメチルアンモニウム(TMA)を導入し、アルミニウム原子層を形成する。つづいてバージガスを用いて反応チャンバ内をバージした後、反応性ガス(ここでは酸化性ガス)としてH₂Oガスを導入し、酸素原子層を形成する。アルミニウム原子層および酸素原子層の形成時の温度は、いずれも150℃～450℃程度とする。次にアンモニアを流しながら熱アニール処理を行う。アニール時の温度及び時間は、たとえば、600℃～1050℃、1秒～600秒とする。なお、アニール時の昇温レートは100℃/sec以上とする。以上により、AlONを成膜する。

次に、HfCl₄、H₂O、TMA、H₂O、HfCl₄、H₂Oの順にガスを導入するステップを繰り返し、HfAlOを成膜する。続いてアンモニアを流しながら熱アニール処理を行うことにより、HfAlO中に窒素を導入

してHfAlONを形成する。アニール時の温度及び時間は、たとえば、600°C～1050°C、1秒～600秒とし、アニール時の昇温レートは100°C/sec以上とする。

その後、TMA、NH₃の順にガスを導入するステップを繰り返し、AINを成膜する。

以上により、AIN、HfAlONおよびAINがこの順で積層した構造が形成される。この方法によれば、アニール条件の調整等により、HfAlON中の窒素の導入量を高度に制御することができる。

本実施形態では、2種類の異なる金属を用いて高誘電体ゲート絶縁膜106を構成している。また、高誘電体ゲート絶縁膜106中の窒素濃度を、基板側から高、低、高という分布にしている。このため、高誘電体ゲート絶縁膜106を構成する元素の拡散を抑制し隣接するシリコン基板との反応を抑えるとともに、漏れ電流を効果的に低減することができる。

15 (第四の実施の形態)

本実施形態では、図2(a)に示すトランジスタにおいて、高誘電体ゲート絶縁膜106を図10に示す積層構造とする。図10(a)はHfAlO、HfAlONおよびHfAlOがこの順で積層した構造を有する。図10(b)はHfAlO、HfAlONが交互に積層した構造を有する。HfAlOおよびHfAlONは、前述の成膜方法により形成することができる。

図10に示す構造のゲート絶縁膜を用いることにより、漏れ電流を効果的に低減するとともに、フラットバンド電圧(V_{fb})を好適に制御することが可能となる。

以上本発明の実施の形態について説明した。これらは例示であり様々な変形例が可能であること、またこうした変形例も本発明の範囲にあることは当業者には理解されるところである。

たとえば、上記実施の形態では、アルミニウムやハフニウムを含む高誘電体ゲート絶縁膜について説明したが、これに限定されず、Zr、La、Si、

Y等を含む種々の金属化合物層を適用することができる。

具体的には、 ZrO_2 、 HfO_2 、 $(Zr, Hf)O_2$ 、 Al_2O_3 、 Y_2O_3 、 LaO_x 等の金属酸化物、

上記金属酸化物に窒素が導入された金属酸窒化物、

5 等が例示される。また、これらの金属化合物に対し、適宜、珪素等が導入されていてもよい。

(実施例)

図2 (a) に示す構造のMIS型トランジスタを作製した。高誘電体ゲート絶縁膜106は、ALD法を用いて形成した、窒素濃度の異なる複数の $AlON$ が積層した金属化合物薄膜からなる。この薄膜の成膜にあたっては、図7に示す構造の成膜装置を用いた。この装置は、ランプアニールによる急速加熱が可能であり、また、急速排気による成膜室内の急速降温が可能である。

15 トランジスタの形成プロセスは、図3を参照して実施の形態で述べた方法にしたがった。高誘電体ゲート絶縁膜106成膜プロセスにおけるガスの供給および温度プロファイルは、概略、図4 (a) および図4 (b) に示したとおりである。はじめに、図4 (a) に示したように、原料ガスであるトリメチルアルミニウム (TMA) を導入し、アルミニウム原子層を形成する (ステップA)。成膜室内をバージした後、酸化剤として H_2O ガスを導入し、酸素原子層を形成する (ステップB)。アルミニウムおよび酸素の成膜時の温度は、いずれも150°C～450°C程度とする。次に不純物除去および膜の緻密化のための熱アニール処理を行う。アニール時の温度及び時間は、たとえば、600°C～1050°C、1秒～600秒とする。なお、アニール時の昇温レートは100°C/sec以上とする (ステップC)。

以上のステップA～Cを繰り返し行い、その後、所定の層厚に至った段階で、窒素導入処理を行う。すなわち、図4 (b) に示すように、アニール処理時に NH_3 を供給する。これにより、窒素が層中に導入、拡散される。この

ときのアニール条件は、上記したものと同様である。

以上のようにして、窒素濃度の異なる複数のAlONを含む多層構造の高誘電体ゲート絶縁膜を形成し、その後、すでに述べた手順によりトランジスタを形成した。

5 上記と同様にして得られた膜について、SIMS（二次イオン質量分析法）により深さ方向の窒素濃度分布を測定した。結果を図11に示す。図中左側がゲート絶縁膜上面側、右側がシリコン基板側である。基板上に、組成の異なるAlONが、窒素濃度高、窒素濃度低、窒素濃度高の順で積層した膜が形成されていることが確認された。ゲート絶縁膜中の窒素高濃度領域における窒素濃度最大値M₁は $2 \times 10^{21} \text{ atom/cm}^3$ 以上であった。窒素低濃度領域における窒素濃度最小値M₂は $2 \times 10^{20} \text{ atom/cm}^3$ 以下であった。すなわち、M₁およびM₂は、M₁/M₂≥10であった。

10

本実施例で得られたトランジスタについてSiO₂換算膜厚を測定した。シリコン基板を接地し、金上部電極に-2~2V変化させた場合のC-V特性よりSiO₂換算膜厚を算出した。その結果、SiO₂換算膜厚は1.4~2.0nmであった。また、このMOSFETに対して、シリコン基板を接地し、金電極に-1Vの電圧を印加した際のリーク電流値を測定したところ、 $10^{-2} \text{ A/cm}^2 \sim 10^{-6} \text{ A/cm}^2$ の良好なリーク電流特性を示した。

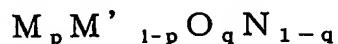
請求の範囲

1. 半導体基板と、該半導体基板上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極と、を備え、前記ゲート絶縁膜は、層中に窒素原子が熱拡散してなる複数の含窒素金属化合物層を含む積層膜であることを特徴とする半導体装置。

2. 請求の範囲第1項に記載の半導体装置において、

前記複数の含窒素金属化合物層は、いずれも、Hf、Zr、La、Al、SiおよびYの群から選択される元素を含むことを特徴とする半導体装置。

3. 半導体基板と、該半導体基板上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極と、を備え、前記ゲート絶縁膜は、下記一般式



($1 \geq p \geq 0$ 、 $1 > q \geq 0$ であり、MおよびM'は、いずれも、Hf、Zr、La、Al、SiおよびYの群から選択される元素を示す。)

により表される、窒素組成 ($1 - q$) の異なる複数の含窒素金属化合物層を含む積層膜であることを特徴とする半導体装置。

4. 半導体基板と、該半導体基板上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極と、を備え、前記ゲート絶縁膜は、
化学式 $M^1 O_x N_{1-x}$ で表される金属化合物を含む第一の金属化合物層と、
該第一の金属化合物層の上部に形成され、化学式 $M^2 O_y N_{1-y}$ で表される
金属化合物を含む第二の金属化合物層と、

該第二の金属化合物層の上部に形成され、化学式 $M^3 O_z N_{1-z}$ で表される
金属化合物を含む第三の金属化合物層と、

を含む積層膜 (但し $1 \geq y > x \geq 0$ 、 $1 \geq y > z \geq 0$ であり、 M^1 、 M^2 および M^3 は、いずれも独立に、Hf、Zr、La、Al、SiおよびYの群から選択される元素を示す。) であることを特徴とする半導体装置。

5. 請求の範囲第4項に記載の半導体装置において、

$1 > y > x > 0$ 、 $1 > y > z > 0$ であって、前記第一、第二および第三の金属化合物層は、いずれも金属酸窒化物層または金属窒化物層であることを特徴とする半導体装置。

6. 請求の範囲第4項または第5項に記載の半導体装置において、

5 前記第一の金属化合物層中の窒素濃度の最大値を C_1 、前記第三の金属化合物層中の窒素濃度の最大値を C_3 としたときに、 C_1 および C_3 が、いずれも $3 \times 10^{20} \text{ atom/cm}^3$ 以上であることを特徴とする半導体装置。

7. 半導体基板と、該半導体基板上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極と、を備え、前記ゲート絶縁膜は、

10 $M_r M'_{1-r} O_u N_{1-u}$ 、および、

$M_s M'_{1-s} O_v N_{1-v}$

(但し、 $1 > r > 0$ 、 $1 > s > 0$ 、 $1 \geq u \geq 0$ および $1 \geq v \geq 0$ であり、 u と v は異なる値である。 M および M' はそれぞれ異なる元素であって、いずれも、Hf、Zr、La、Al、Si および Y の群から選択される元素を示す。)

が積層した積層膜を含むことを特徴とする半導体装置。

8. 請求の範囲第1項乃至第7項いずれかに記載の半導体装置において、

前記積層膜が原子堆積法により形成された膜であることを特徴とする半導体装置。

20 9. 基材上に、原子層堆積法により第一の金属化合物層を形成する工程と、

前記第一の金属化合物層に対して、窒素化合物ガスを含む雰囲気中でアニール処理を行い、第一の金属化合物層中に窒素を拡散させる工程と、

原子層堆積法により前記第一の金属化合物層上に第二の金属化合物層を形成する工程と、

25 を含むことを特徴とする金属化合物薄膜の製造方法。

10. 請求の範囲第9項に記載の金属化合物薄膜の製造方法において、

第一の金属化合物層および第二の金属化合物層は、いずれも、Hf、Zr、La、Al、Si および Y の群から選択される元素を含むことを特徴とする

金属化合物薄膜の製造方法。

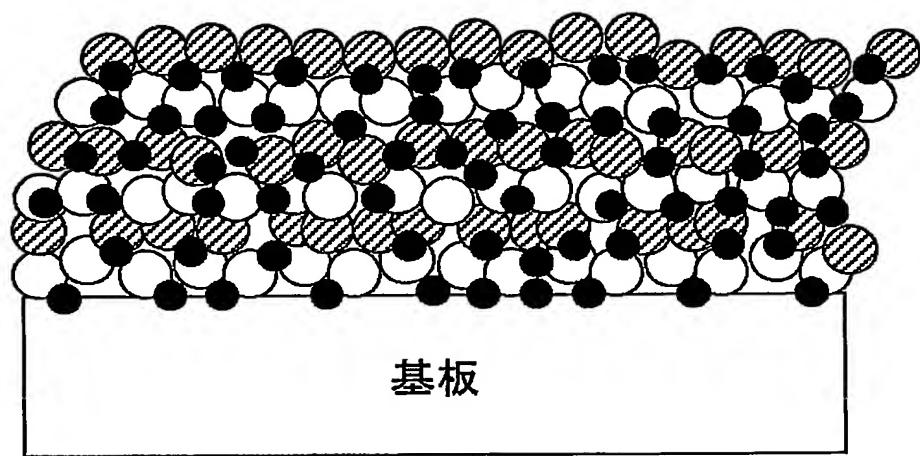
11. 半導体基板上に、金属化合物薄膜からなるゲート絶縁膜と導電膜とをこの順で形成する工程と、前記ゲート絶縁膜および前記導電膜を選択的に除去してゲート電極を形成する工程とを含む半導体装置の製造方法であって、

5 前記金属化合物薄膜からなるゲート絶縁膜を、請求の範囲第9項または第10項に記載の金属化合物薄膜の製造方法により形成することを特徴とする半導体装置の製造方法。

Fig.1

○ 金属原子 ◇ 酸素原子 ● 不純物

(a)



(b)

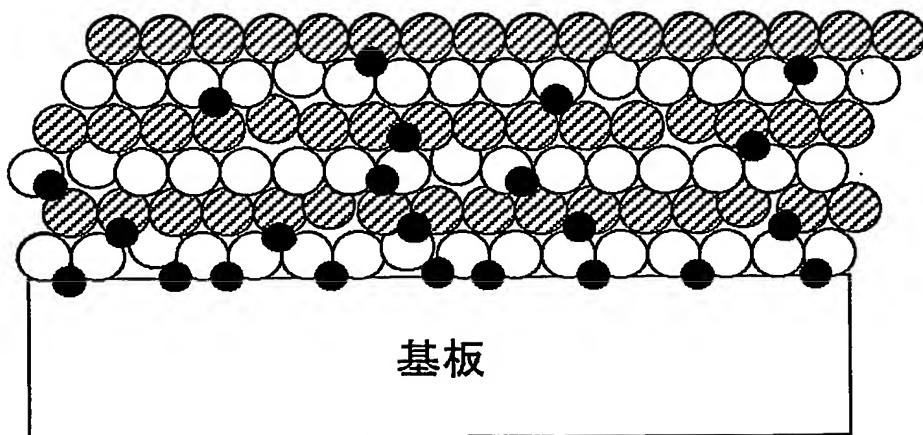


Fig.2

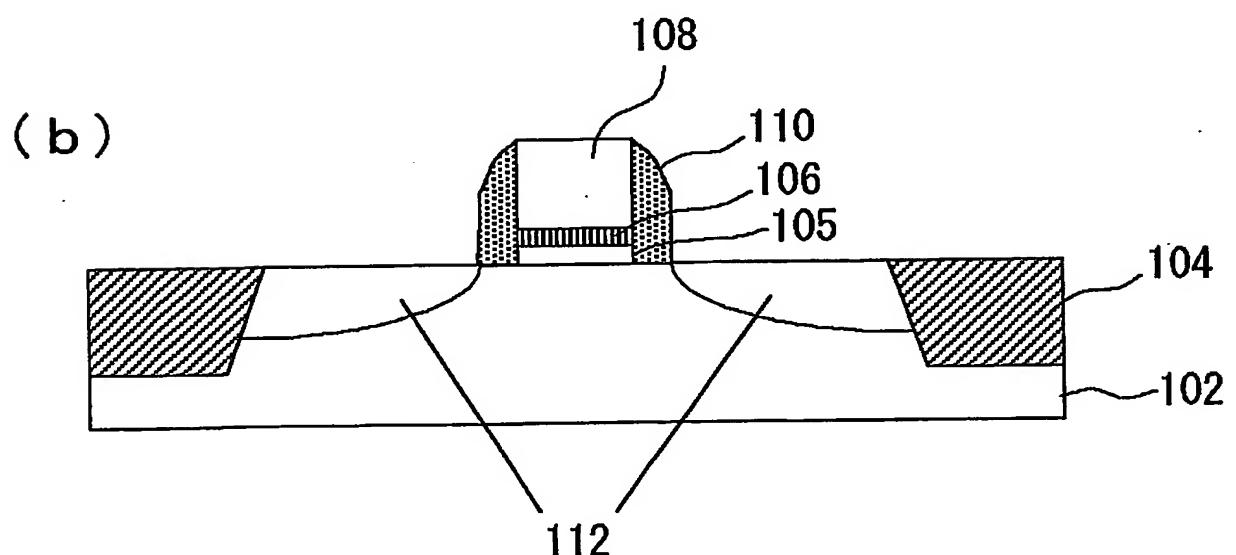
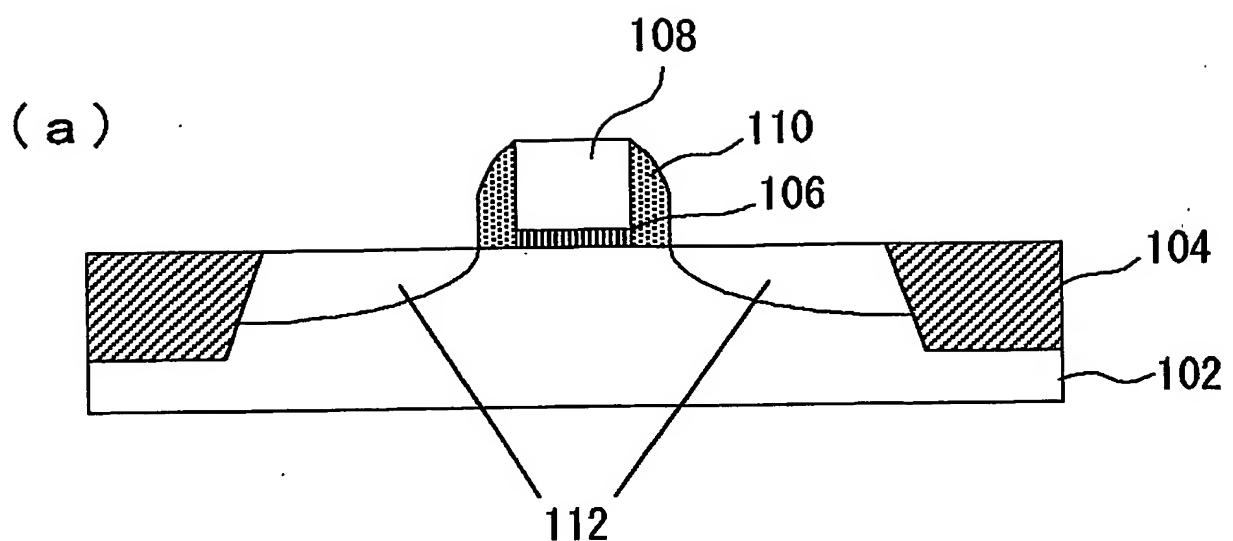


Fig.3

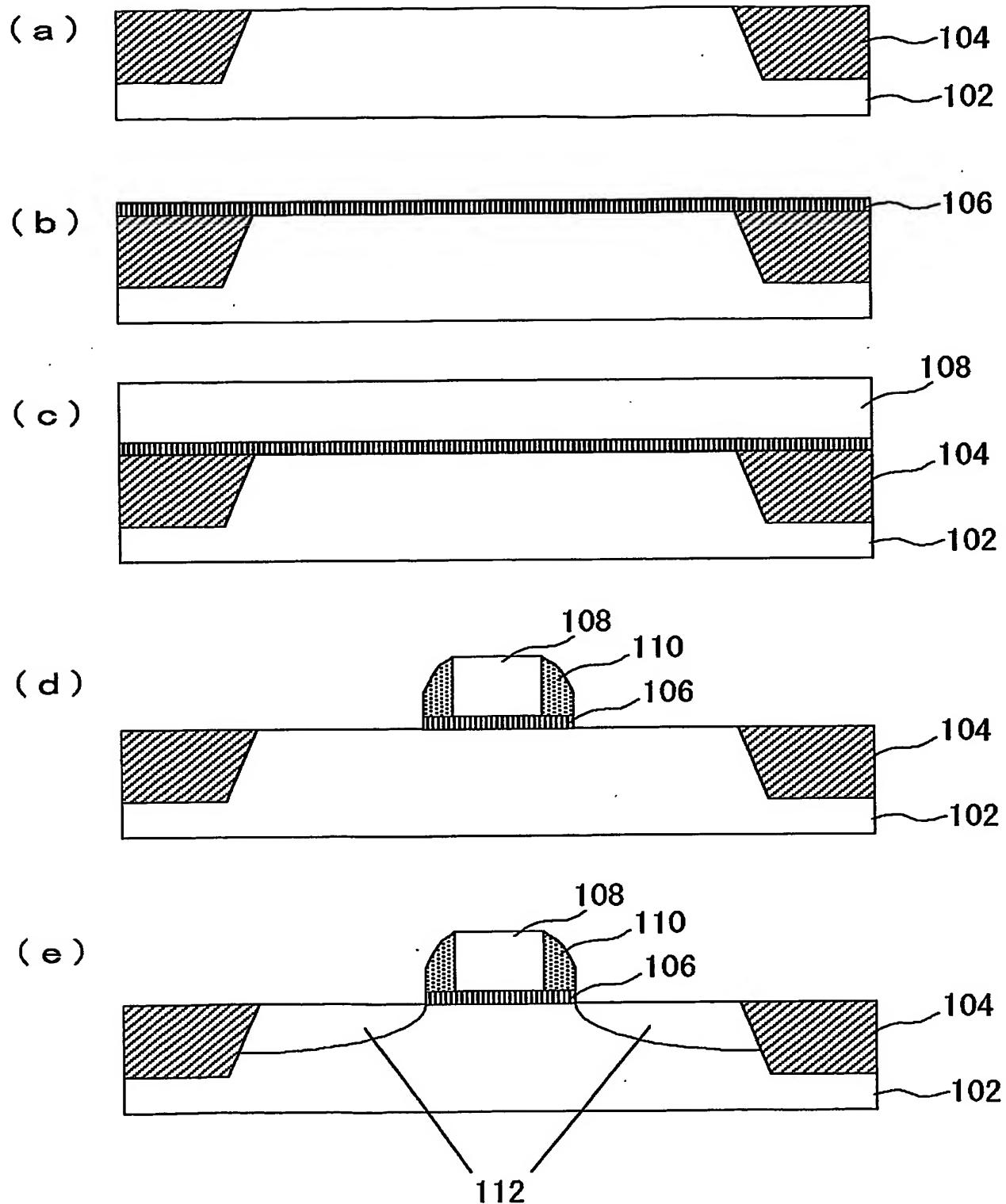
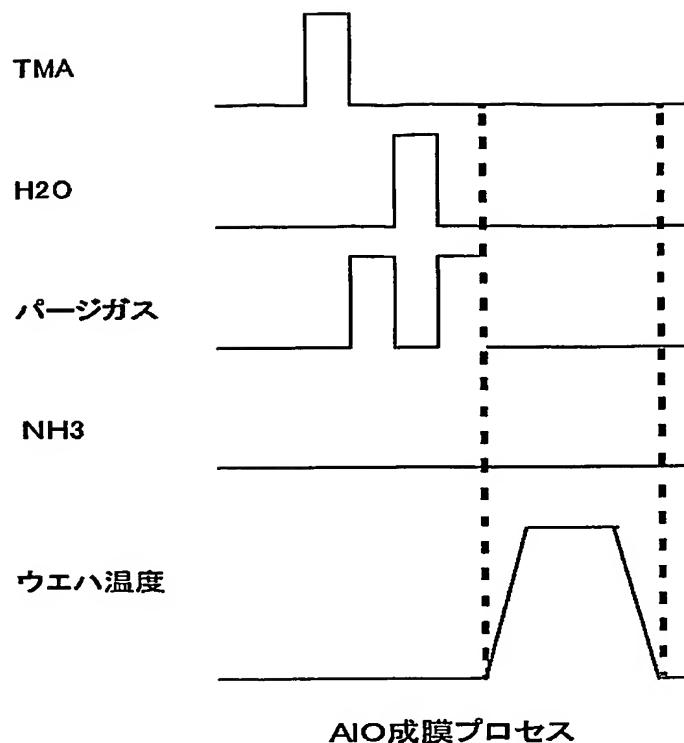


Fig.4

(a)



(b)

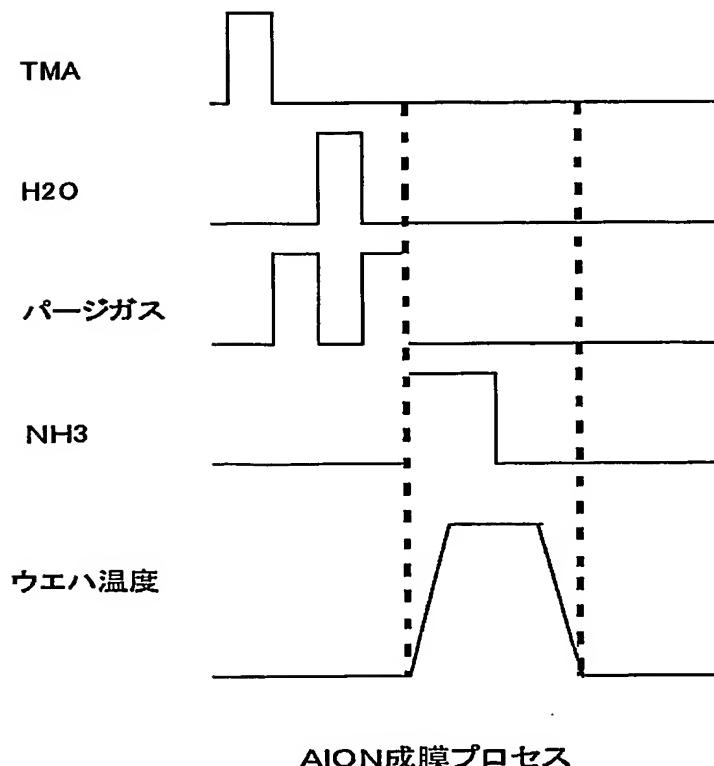


Fig.5

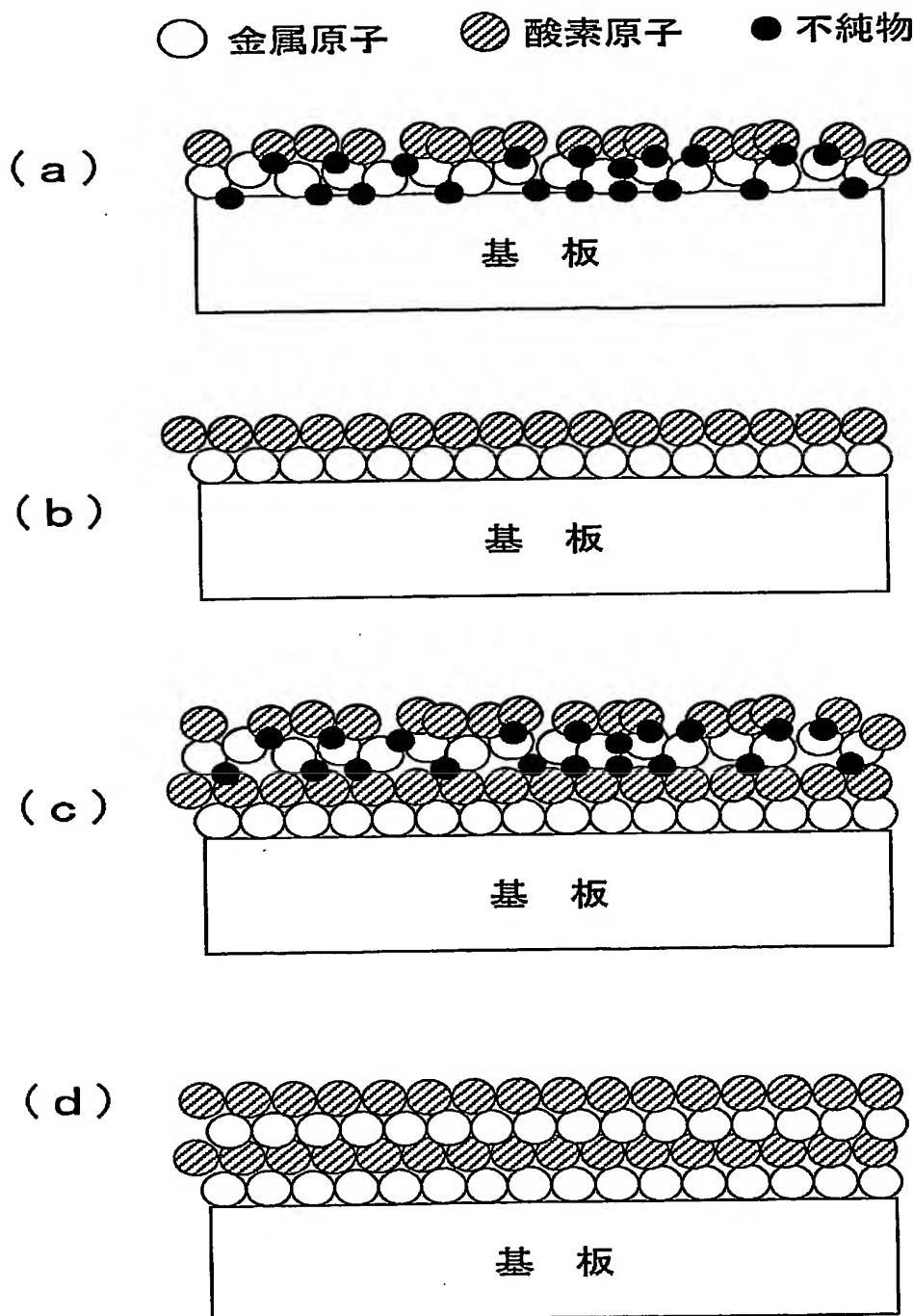


Fig.6

200

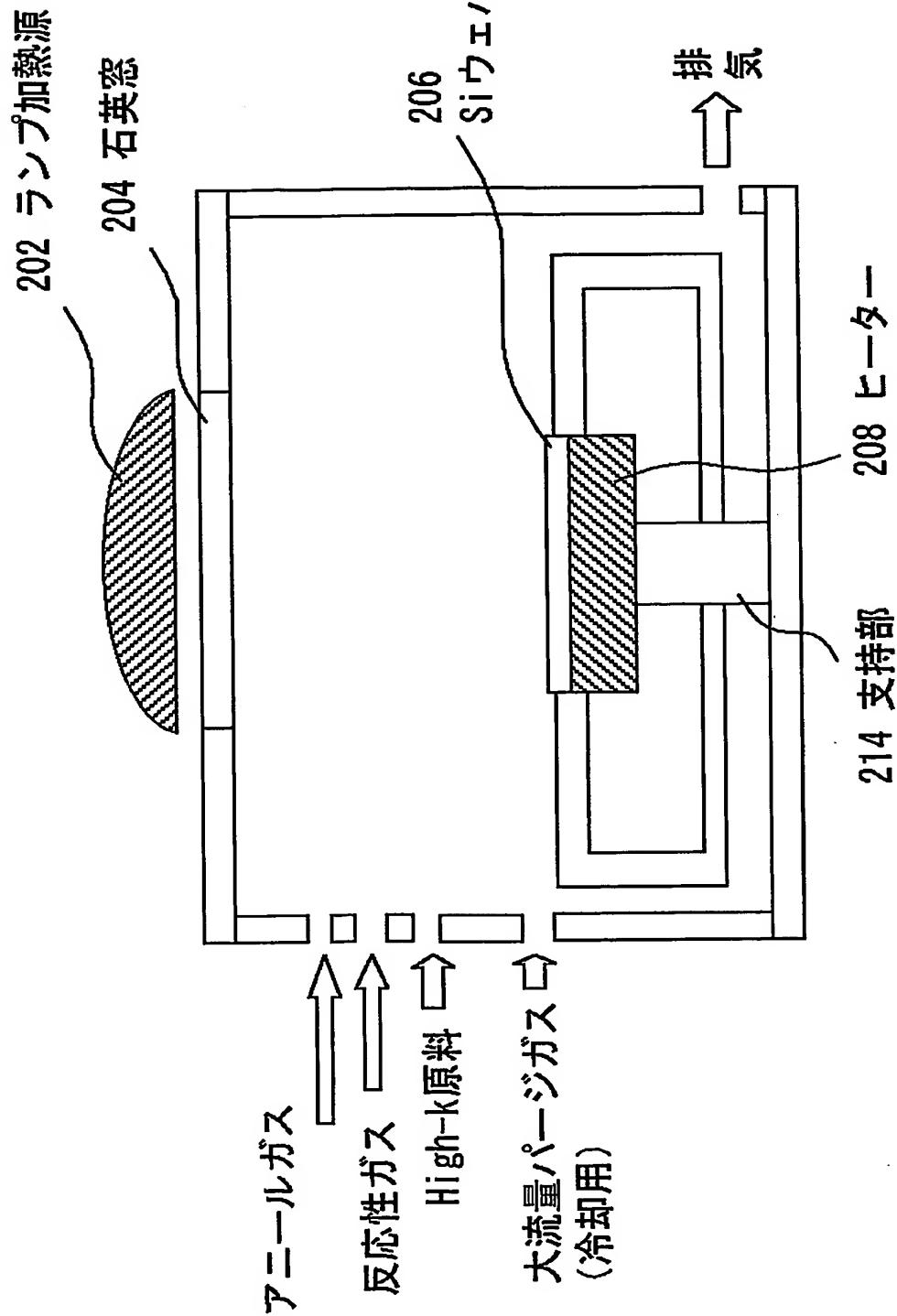


Fig.7

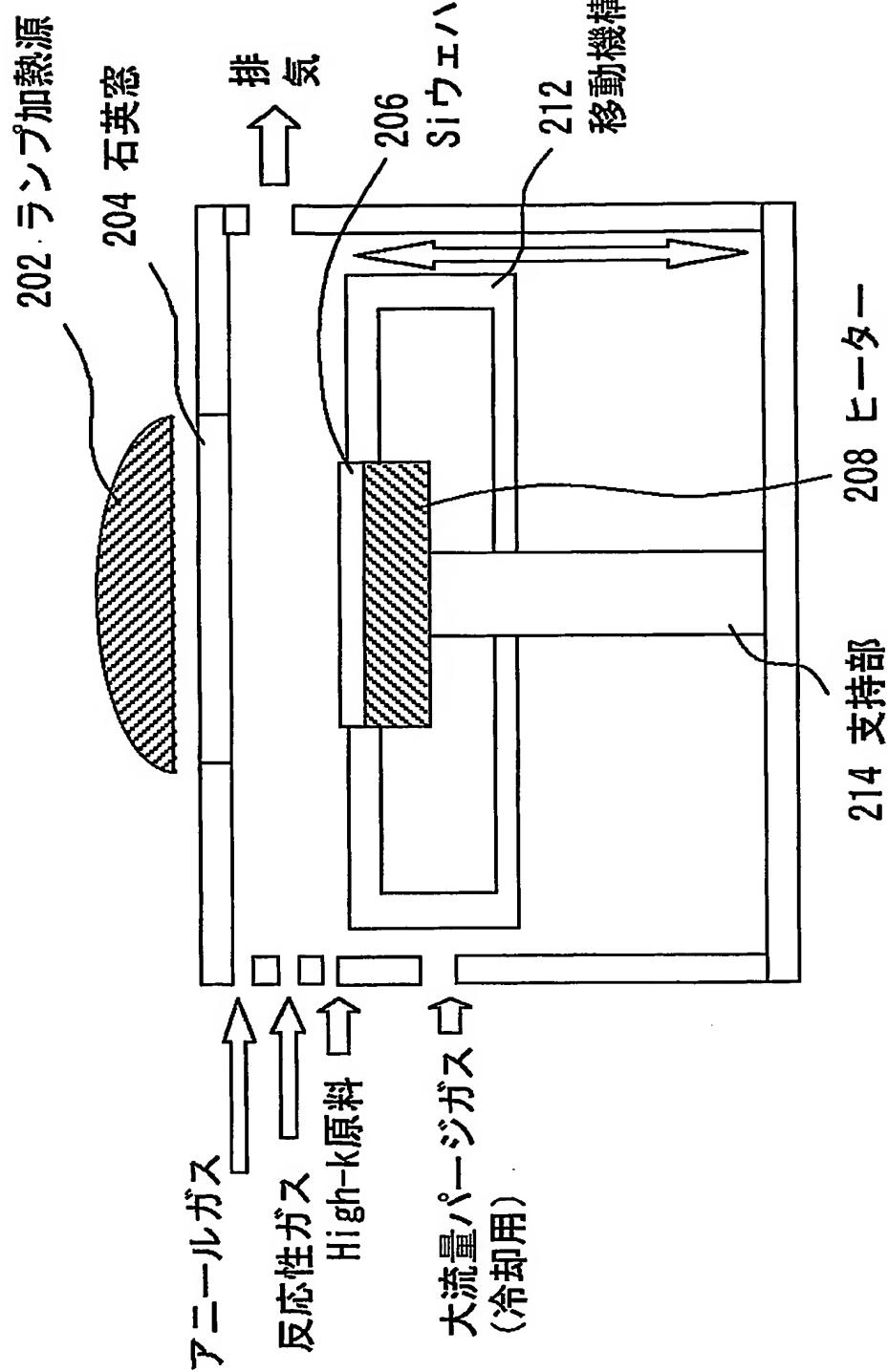
200

Fig.8

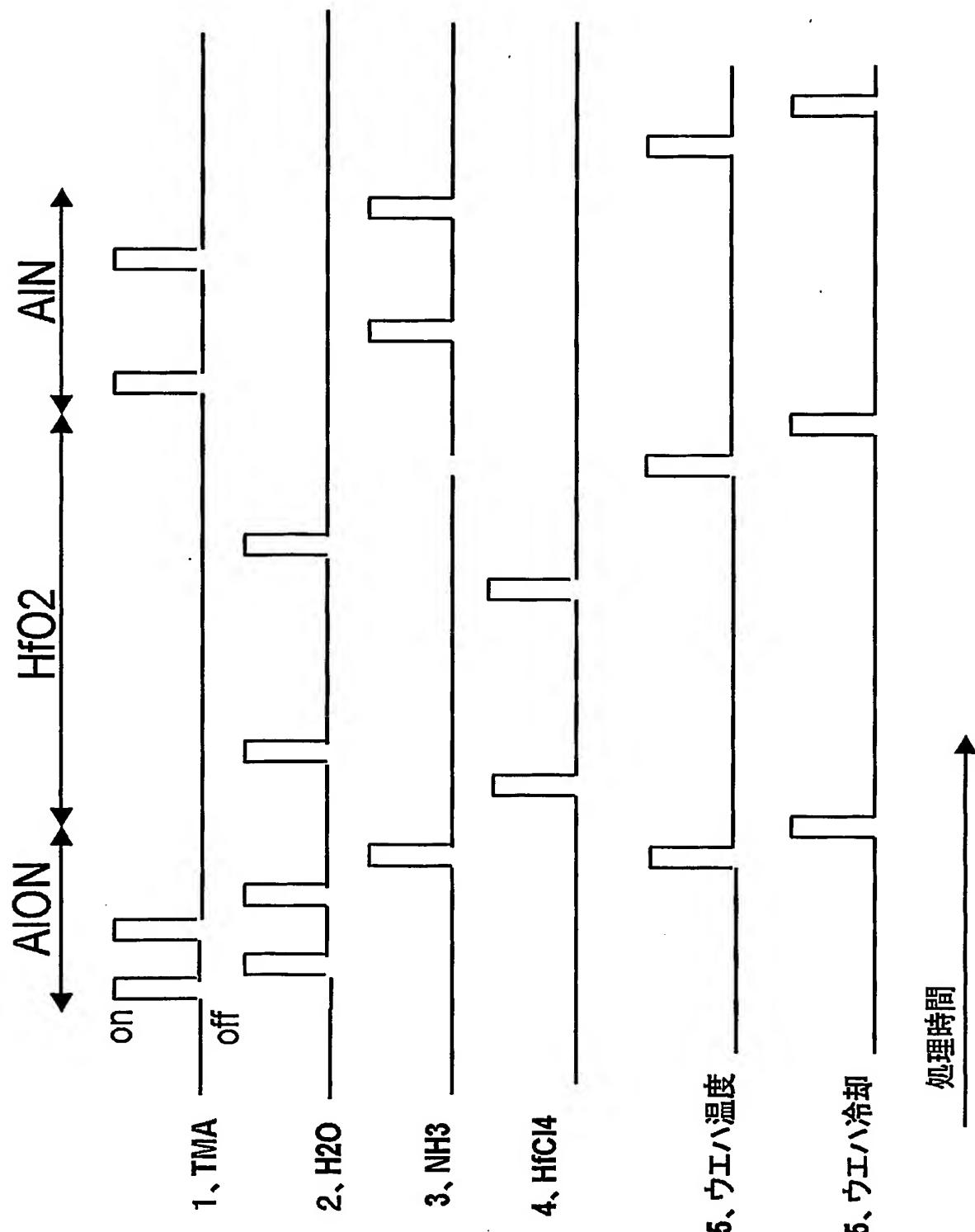


Fig.9

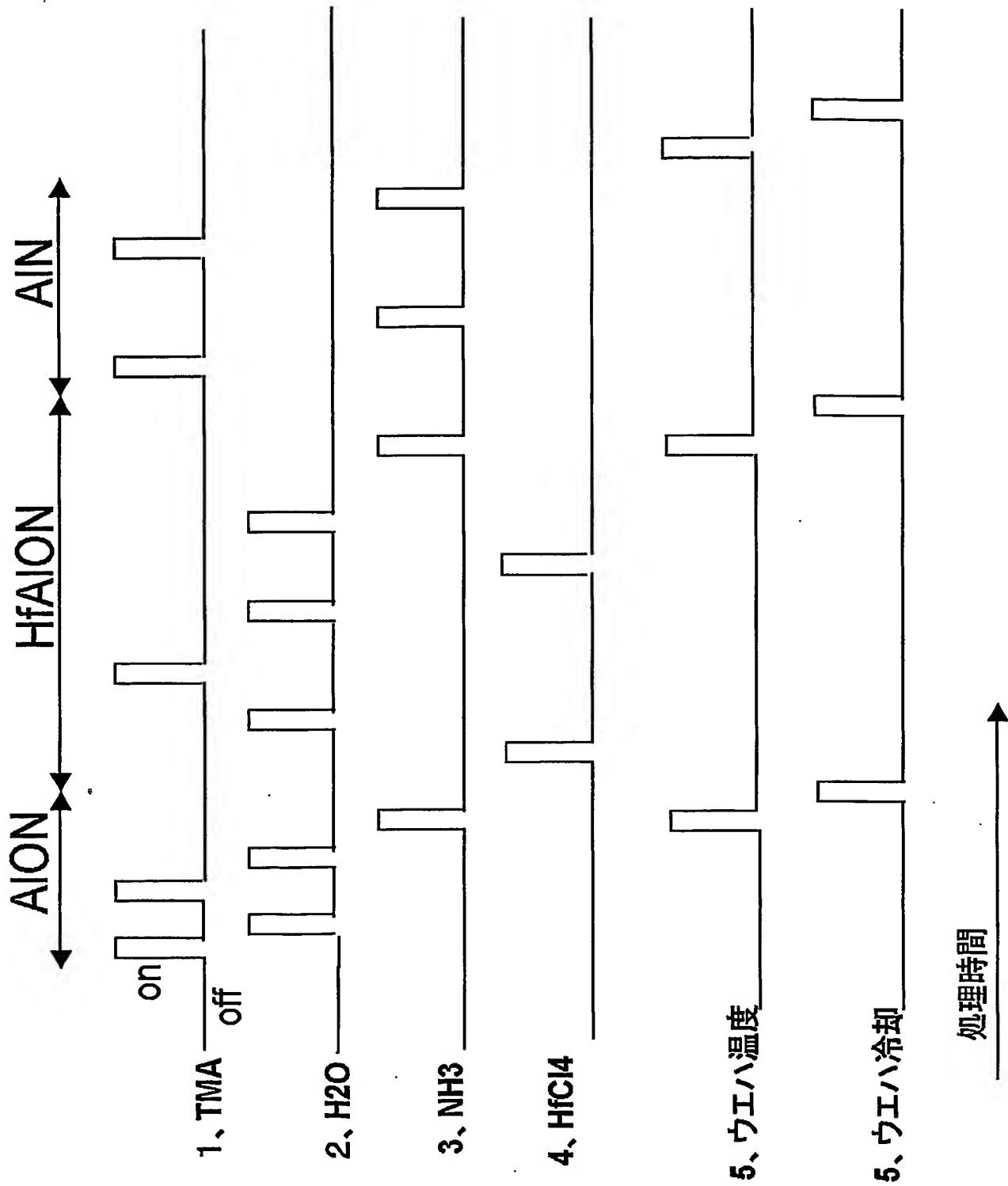


Fig.10

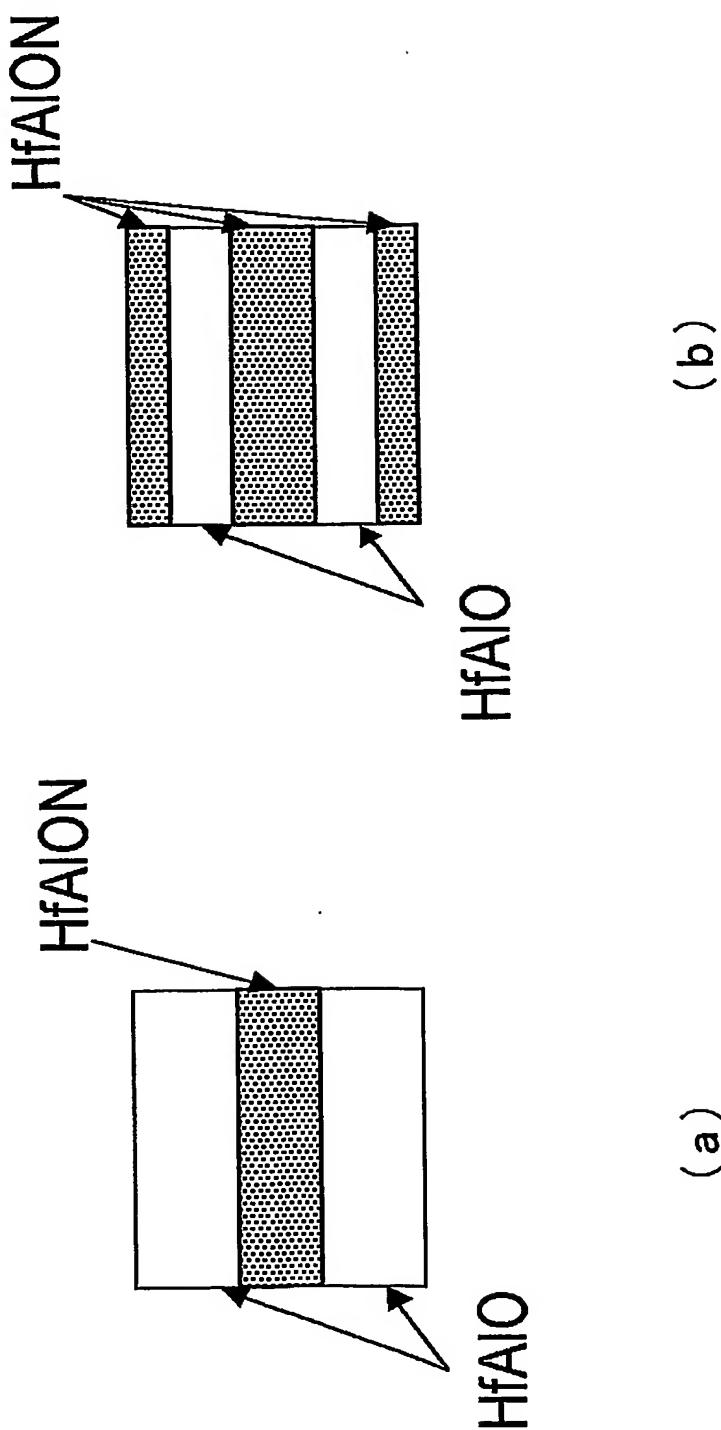
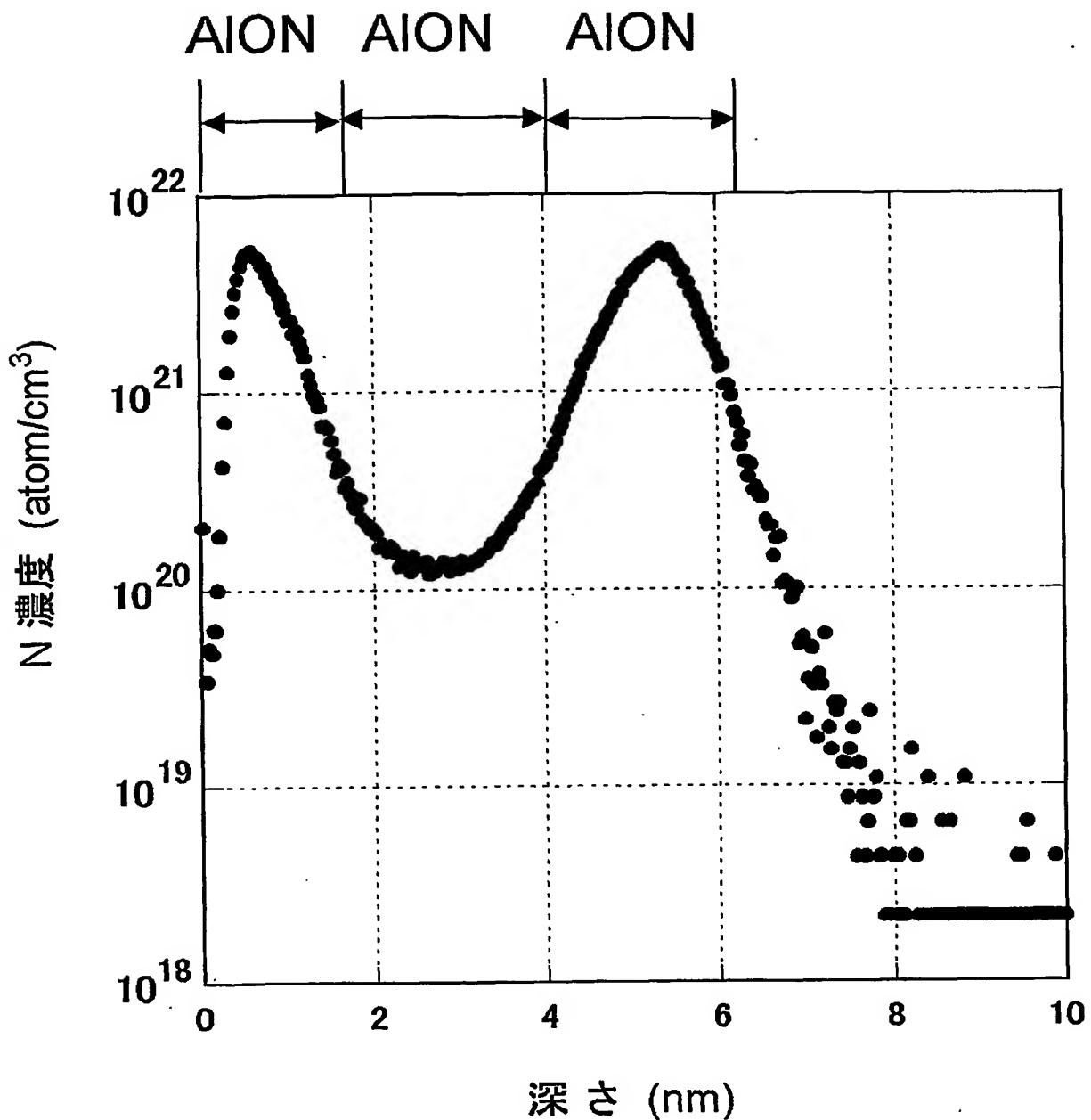


Fig.11



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/004060

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L29/78, H01L21/336

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L29/78, H01L21/336, H01L21/318

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-8011 A (Matsushita Electric Industrial Co., Ltd.), 10 January, 2003 (10.01.03), Full text; all drawings & US 2002/0195643 A1 full text; all drawings & JP 2003-8005 A & JP 2003-59926 A & WO 03/1605 A1 & KR 3024897 A	1-6, 8
Y	Sanghun Jeon et al., Electrical characteristics of ZrO _x Ny prepared by NH ₃ annealing of ZrO ₂ , APPLIED PHYSICS LETTERS, Vol. 79, No. 2, 09 July, 2001 (09.07.01), pages 245 to 247	1, 2

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
25 June, 2004 (25.06.04)Date of mailing of the international search report
13 July, 2004 (13.07.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/004060

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	Hyung-Seok Jung et al., Improved Current Performance of CMOSFETs with Nitrogen Inc. HfO ₂ -Al ₂ O ₃ Laminate Gate Dielectric, Electron Devices Meeting, 2002. IEDM' 02.Digest. International, 2002, 12, pages 853 to 856	1-6, 8
Y	JP 59-11663 A (NEC Corp.), 21 January, 1984 (21.01.84), Full text; all drawings (Family: none)	1-6
P, X	T. NISHIMURA et al., Effects of Nitrogen Inc. into HfAlO _x Films, on Gate Leakage Current From XPS Study of Hf Bonding States, Extended Abstracts Of International Workshop On Gate Insulator 2003, 2003, 11, pages 180 to 185	1-3, 8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/004060

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

As stated in the extra sheet, although in order for a group of inventions claimed in claims to satisfy the requirement of unity of invention, there must be special technical features for linking the group of inventions so as to form a single general inventive concept, the claims of this international application claim two inventions consisting of those of [claims 1-6 and 8] and [claims 7 and 9-11].

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1-6 and 8.

Remark on Protest

The additional search fees were accompanied by the applicant's protest.

No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/004060

In order for a group of inventions claimed in claims to satisfy the requirement of unity of invention, there must be special technical features for linking the group of inventions so as to form a single general inventive concept. In this connection, it appears that the group of inventions claimed in claims 1-11 are linked with each other only in the matter of a semiconductor device including "a semiconductor substrate, a gate insulating film superimposed on the semiconductor substrate and a gate electrode superimposed on the gate insulating film" wherein the "gate insulating film" is a laminated film including at least one metal compound layer having a nitrogen atom incorporated in the layer.

However, this matter cannot be special technical features because it is described in prior art references, such as JP 2003-8011 A (Matsushita Electric Industrial Co., Ltd.), 10 January, 2003 (10.01.03), claims, Fig. 1 and JP 2002-246594 A (International Business Machines Corp.), 30 August, 2002 (30.08.02), claims, Fig. 2.

Consequently, there exist no special technical features for linking the group of inventions claimed in claims 1-11 so as to form a single general inventive concept. Therefore, it is apparent that the group of inventions claimed in claims 1-11 do not satisfy the requirement of unity of invention.

Now, the number of inventions, i.e., number of inventions (invention groups) linked with each other so as to form a single general inventive concept, claimed in the claims of this international application will be studied.

The inventions claimed in claims 1-6 and 8 are linked with each other in the matter of gate insulating film being a laminated film including at least two metal compound layer having a nitrogen atom incorporated in the layer.

The inventions claimed in claims 7 and 9-11 are linked with each other in the matter of gate insulating film being a laminated film including at least one metal compound layer having a nitrogen atom incorporated in the layer.

Therefore, it appears that the claims of this international application claim two inventions consisting of those of [claims 1-6 and 8] and [claims 7 and 9-11].

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl' H01L29/78, H01L21/336

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl' H01L29/78, H01L21/336, H01L21/318

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2004年
 日本国登録実用新案公報 1994-2004年
 日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2003-8011 A(松下電器産業株式会社) 2003.01.10 全文, 全図 & US 2002/0195643 A1 全文, 全図 & JP 2003-8005 A & JP 2003-59926 A & WO 03/1605 A1 & KR 3024897 A	1-6, 8
Y	Sanghun Jeon et al., Electrical characteristics of ZrO _x Ny prepared by NH ₃ annealing of ZrO ₂ , APPLIED PHYSICS LETTERS, VOLUME 79, NUMBER 2, 9 JULY 2001, PP. 245-247	1, 2

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

25. 06. 2004

国際調査報告の発送日

13. 7. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

松嶋 秀忠

4M 9836

電話番号 03-3581-1101 内線 3460

C (続き) . 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
Y	Hyung-Seok Jung et al., Improved Current Performance of CMOSFETs with Nitrogen Incorporated HfO ₂ -Al ₂ O ₃ Laminate Gate Dielectric, Electron Devices Meeting, 2002. IEDM '02. Digest. International, 2002. 12, PP. 853-856	1-6, 8
Y	JP 59-11663 A(日本電気株式会社) 1984. 01. 21 全文、全図(ファミリーなし)	1-6
P X	T. Nishimura et al., Effects of Nitrogen Incorporation into HfAlO _x Films on Gate Leakage Current From XPS Study of Hf Bonding States, Extended Abstracts Of International Workshop On Gate Insulator 2003, 2003. 11, PP. 180-185	1-3, 8

第II欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT第17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

（特別ページ）に記載したように、請求の範囲に記載されている一群の発明が单一性の要件を満たすには、その一群の発明を单一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であるところ、この国際出願の請求の範囲には、[1-6, 8]、[7, 9-11]に区分される2個の発明が記載されている。

1. 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

請求の範囲 1-6, 8

追加調査手数料の異議の申立てに関する注意

追加調査手数料の納付と共に出願人から異議申立てがあった。
 追加調査手数料の納付と共に出願人から異議申立てがなかった。

請求の範囲に記載されている一群の発明が单一性の要件を満たすためには、その一群の発明を单一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であるところ、請求の範囲1-11に記載されている一群の発明は、「半導体基板と、該半導体基板上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極」とを備えた半導体装置において、「該ゲート絶縁膜」は、層中に窒素原子を含んだ金属化合物層を少なくとも1層含んだ積層膜であることでのみ連関しているものと認められる。

しかしながら、この事項は先行技術文献、例えば、JP 2003-8011 A(松下電器産業株式会社), 2003.01.10, 特許請求の範囲, 図1、JP 2002-246594 A(インターナショナル・ビジネス・マシーンズ・コーポレーション), 2002.08.30, 特許請求の範囲, 図2に記載されているため、特別な技術的特徴とはなり得ない。

そうすると、請求の範囲1-11に記載されている一群の発明の間には、单一の一般的発明概念を形成するように連関させるための、特別な技術的特徴は存しないこととなる。そのため、請求の範囲1-11に記載されている一群の発明が発明の单一性の要件を満たしていないことは明らかである。

次に、この国際出願の請求の範囲に記載されている、一般的発明概念を形成するように連関している発明の群の数、すなわち、発明の数につき検討する。

請求の範囲1-6, 8に記載された発明は、ゲート絶縁膜が、層中に窒素原子を含んだ金属化合物層を少なくとも2層含んだ積層膜であることで連関している。

請求の範囲7, 9-11に記載された発明は、ゲート絶縁膜が、層中に窒素原子を含んだ金属化合物層を少なくとも1層含んだ積層膜であることで連関している。

したがって、この国際出願の請求の範囲には、[1-6, 8] 及び [7, 9-11] に区分される2個の発明が記載されていると認める。